

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-075366

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H02M 3/155

(21)Application number : 10-122084 (71)Applicant : FAIRCHILD
SEMICONDUCTOR CORP

(22)Date of filing : 01.05.1998 (72)Inventor : BRYSON STEPHEN W

(30)Priority

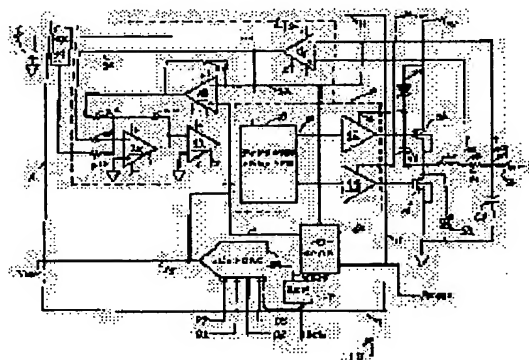
Priority number : 97 851972 Priority date : 06.05.1997 Priority country : US

(54) PROGRAMMABLE CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To deal with the change of a power voltage as against a microprocessor of a lower voltage, by supplying an output signal which specifies the magnitude of the output signal of an amplifier to a control unit, and specifying two ranges each of which has an increment of a specific value.

SOLUTION: The output signal of a signal conditioning amplifier 20 is inputted to a comparator 22, and this comparator 22 supplies a main BWM control signal to a digital control circuit 24. And a controller 10 specifies two different voltage ranges, i.e., an upper and a lower voltage ranges. Consequently, it becomes possible to constitute a power source automatically, so that a related microprocessor may output its specific required voltage by a method using two ranges.



LEGAL STATUS

[Date of request for examination] 31.08.1998

[Date of sending the examiner's decision of rejection] 09.11.1999

[Kind of final disposal of application other than the examiner's decision of

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 1 1 - 7 5 3 6 6

(43)公開日 平成11年(1999)3月16日

(51)Int. Cl.⁶

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

N

審査請求 有 請求項の数 1 0 O L

(全 1 1 頁)

(21)出願番号 特願平10-122084

(22)出願日 平成10年(1998)5月1日

(31)優先権主張番号 08/851972

(32)優先日 1997年5月6日

(33)優先権主張国 米国 (U S)

(71)出願人 598049517

フェアチャイルド・セミコンダクター・コーポレーション

Fairchild Semiconductor Corporation

アメリカ合衆国メイン州04106・サウスポートランド・ウエスタンアベニュー 333

(72)発明者 ブライソン、スティーブン・ダブリュ

アメリカ合衆国カリフォルニア州95014・クーパーティノ・リバーサイドドライブ 22394

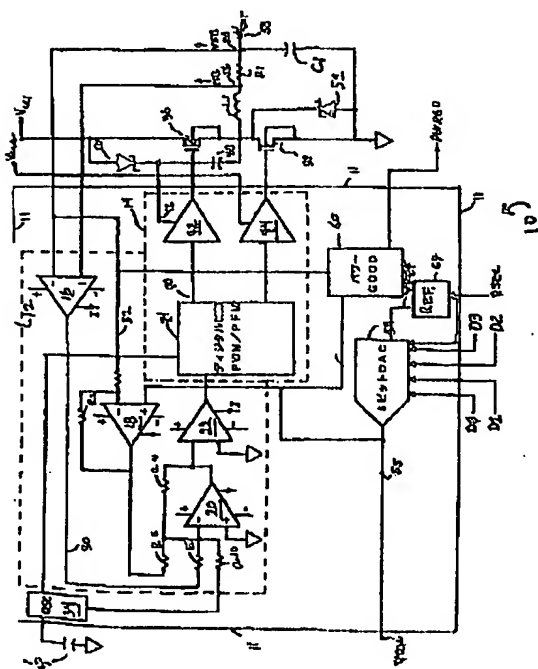
(74)代理人 弁理士 大島 陽一

(54)【発明の名称】 プログラム可能なコンバータ

(57)【要約】

【課題】 より低い電圧のマイクロプロセッサに対する電源電圧の変更に対応することできるようにプログラムされるよう設計されたDC-DCコンバータコントローラを提供する。

【解決手段】 出力信号を供給する少なくとも1つの増幅器(16、18、20)と、前記少なくとも1つの増幅器の出力信号の大きさを制御する制御ユニット(24)と、デジタル入力信号に応じて、前記少なくとも1つの増幅器の前記出力信号の前記大きさを特定する出力信号を、前記制御ユニットに供給する回路であって、各々が特定の値の増加分を有する前記大きさの2つの範囲を特定する前記回路(14)とを有する。



【特許請求の範囲】

【請求項 1】 プログラム可能なコンバータであって、
出力信号を供給する少なくとも 1 つの増幅器と、
前記少なくとも 1 つの増幅器の出力信号の大きさを制御する制御ユニットと、
デジタル入力信号に応じて、前記少なくとも 1 つの増幅器の前記出力信号の前記大きさを特定する出力信号を、前記制御ユニットに供給する回路であって、各々が特定の値の増加分を有する前記大きさの 2 つの範囲を特定する前記回路とを有することを特徴とするプログラム可能なコンバータ。

【請求項 2】 前記回路が、デジタル・アナログ変換器を有することを特徴とする請求項 1 に記載のプログラム可能なコンバータ。

【請求項 3】 前記デジタル・アナログ変換器が、外部の装置から、前記外部の装置によって必要とされる電圧を特定する 5 ビットのデジタル入力信号を受け取り、前記デジタル入力信号を、アナログ出力信号に変換することを特徴とする請求項 2 に記載のプログラム可能なコンバータ。

【請求項 4】 前記アナログ出力信号が、前記少なくとも 1 つの増幅器の前記出力信号の前記大きさを特定する、前記制御ユニットへの前記出力信号からなることを特徴とする請求項 3 に記載のプログラム可能なコンバータ。

【請求項 5】 前記デジタル・アナログ変換器の前記アナログ出力信号が、前記制御ユニットに供給されることを特徴とする請求項 4 に記載のプログラム可能なコンバータ。

【請求項 6】 前記デジタル入力信号によって特定される前記電圧が、特定された電圧の増加分によって乗算された前記デジタル入力の値によって決定されることを特徴とする請求項 3 に記載のプログラム可能なコンバータ。

【請求項 7】 前記外部の装置が、特定された値の増加分での要求された電圧を特定することを特徴とする請求項 6 に記載のプログラム可能なコンバータ。

【請求項 8】 前記外部の装置が、マイクロプロセッサを有することを特徴とする請求項 3 に記載のプログラム可能なコンバータ。

【請求項 9】 前記特定された電圧の増加分が、前記 2 つの電圧の範囲の各々において、各々、5 mV と、100 mV であることを特徴とする請求項 6 に記載のプログラム可能なコンバータ。

【請求項 10】 前記少なくとも 1 つの増幅器と、前記制御ユニットと、前記回路とが、1 つの半導体集積回路チップに集積化されていることを請求項 1 に記載のプログラム可能なコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プログラム可能な電源に関し、より詳しくは、プログラム可能なステップダウン DC-DC コンバータコントローラに関する。

【0002】

【従来の技術】マイクロプロセッサは、メインフレームのコンピュータの計算能力に匹敵する簡単な機能のみを制御する集積化された半導体チップから発展してきた。この発展は、1 つの集積回路上に集積化されるトランジスタの個数を増加させてきた。例えば、現在の Intel Pentium (登録商標) マイクロプロセッサチップは、500 億個を優に越える数のトランジスタを備えている。このような高い密度を達成するために、各トランジスタの寸法がサブミクロンのレベルまで縮小され、各々の形状が短縮され、そのトランジスタが動作するための最大の電圧も、低減されてきた。マイクロプロセッサの最大の動作電圧を変更することにより、プログラム可能な電源に対して、そのマイクロプロセッサに必要とされる電圧を変更する度に、コンピュータシステムの設計者が、その関連する電源システムを完全に構築せずに済むものでなければならないという要件が生じた。マイクロプロセッサに対するこの電圧の要件は、およそ過去 5 年の間に、386 及び 486 マイクロプロセッサに対する 5 ボルトから、ペンティアムプロセッサに対する 3.3 ボルトへ減少する傾向にあり、そして現在では、ペンティアムプロ (Pentium Pro (登録商標)) に対する 3.5 ボルトまで低下している。1997 年のマイクロプロセッサに対する動作電圧は、2.5 ボルトの範囲内となるであろう。

【0003】DC-DC (直流-直流) コンバータコントローラの前の世代は、一定の出力電圧を提供するか、又は、外部の抵抗の設定によって出力電圧を調節できるものであった。従って、パーソナルコンピュータの生産環境において、マイクロプロセッサ回路基板 (「マザーボード」として知られてもいる) は、マイクロプロセッサの製造業者によって動作電圧が変更される度に、再設計されなければならなかった。電圧の要件の変更によって生ずるこの問題を解決するために、インテル社は、適切な能力を備えたマザーボードによって読み出すことのできるペンティアムプロへの電圧特定コード (VID) のプログラムを行ってきた。マザーボードは、ビルトインタイプのファンクションを有する場合、VID によって特定された電圧をマイクロプロセッサに供給する。これによって、マイクロプロセッサの電圧が変更される度にシステム設計者がマザーボードを再設計する必要が解消され、その理由は、マイクロプロセッサがそれ自身に必要とされる電圧を指定し、コントローラが自動的にその必要とされる電圧を供給するからである。

【0004】将来予測されるより低い電圧のマイクロプロセッサに対する電源電圧の変更に対応することのでき

るようにプログラムされるよう設計されたDC-DCコンバータコントローラが必要とされている。このDC-DCコンバータコントローラは、マイクロプロセッサ内にプログラムされたVIDコードを読み出し、このマイクロプロセッサのVIDコードによって指定された電圧を供給することのできるものでなければならない。

【0005】

【発明が解決しようとする課題】本発明は、将来予測されるより低い電圧のマイクロプロセッサに対する電源電圧の変更に対応することのできるようにプログラムされるよう設計されたDC-DCコンバータコントローラを提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明では、プログラム可能なコンバータであって、出力信号を供給する少なくとも1つの増幅器と、前記少なくとも1つの増幅器の出力信号の大きさを制御する制御ユニットと、デジタル入力信号に応じて、前記少なくとも1つの増幅器の前記出力信号の前記大きさを特定する出力信号を、前記制御ユニットに供給する回路であって、各々が特定の値の増加分を有する前記大きさの2つの範囲を特定する前記回路とを有することを特徴とするプログラム可能なコンバータが提供される。

【0007】本発明によれば、プログラム可能なDC-DCコンバータコントローラが、外部装置（例えばマイクロプロセッサ）からのデジタル入力信号（例えばVIDコード）によって指定された出力電圧を供給する。このコンバータコントローラは、必要な電圧を供給する少なくとも1つの増幅器と、この増幅器の出力の振幅を制御する制御ユニットと、デジタル入力にตอบสนองする回路とを含む。この回路は、また、デジタル・アナログコンバータを含み、このデジタル・アナログコンバータは、外部装置からのデジタル入力信号を受け取る。デジタル・アナログコンバータは、必要とされる電圧の出力電圧を提供するための正確な基準信号を用いる。マイクロプロセッサに供給される出力電圧は、第1の電圧範囲内の例えば100ミリボルトの増加分で、または、第2の差分的電圧範囲内での例えば50ミリボルトの増加分で、マイクロプロセッサによって選択される。

【0008】本発明は、以下の詳細な説明によってより良く理解される。単に1つの例として、本発明の実施例が例示され説明される。容易に理解されることだが、本発明は、本発明の技術的視点を逸脱せずに、様々な様相において他の変形を加えることのできるものである。従って、図面及び詳細な説明は、例示のためのものであって限定を意図するものではない。

【0009】

【発明の実施の形態】本件出願の出願人による米国特許出願第08/672, 487（1996年6月26日出願）「A Programmable Synchro

nous Step Down DC-DC Converter Controller」(Stephen W. Bryso) には、本件出願のコントローラと多くの点で共通するDC-DCコンバータコントローラが開示されている。しかしながら、このコントローラは、電圧の値及び電圧の範囲の両方において、単一の増加分を備えた単一の範囲の出力電圧を供給するものである。

【0010】本発明のコントローラに基づけば、2つの異なる電圧範囲が提供される。上側の電圧範囲は、5ビットのデジタル・アナログコンバータ(DAC)の最上位ビットに論理的高信号(1)を与えることによって選択される。このDC-DCコンバータは、それに応じて、5ビットのDACの残りの4つの下位ビットへ入力されたVIDコードに基づいて、例えば2.0ボルトから3.5ボルトの範囲内の電圧を出力する。下側の電圧範囲は、デジタルDACの最上位ビットを論理的信号(0)を与えることによってイネーブルされる。この2つの範囲を用いる方法によって、高められた融通性もたらされ、関連するマイクロプロセッサが、その特定の必要とされる電圧を出力するように電源を自動的に構成することが可能となる。

【0011】上側の2.0ボルトから3.5ボルトの範囲では、100ミリボルトのステップが存在し、DACの最上位ビットは、論理的高信号のレベルに設定されている。DACの最上位ビットが論理的低信号のレベルに設定された場合、DC-DCコントローラは、より低い電圧範囲、この場合では1.3ボルトから2.05ボルトの、50ミリボルトのステップを出力する。もちろん、これらの範囲及び各範囲に対するステップは、単なる例示である。また、本発明に基づいて、2つより多くの範囲を備えたコンバータも、構成することができる。

【0012】以下の説明では、説明を明瞭にかつ分かりやすいものとするために、模式的な図面で描かれている様々な構成要素の全てについて説明されるわけではない。様々な構成要素は、当業者に、本発明の実施することのできるだけの開示内容を提供するために図面で描かれたものである。当業者には、特定の構成要素の全てに関する詳細な説明は、本発明を実施するために必要でないことは明らかであろう。従って、本発明に影響を及ぼす構成要素若しくは本発明を理解するために必要な構成要素のみが、図面に描かれかつ説明されている。更に、良く知られた電気回路の構造及び電気回路は、本発明を分かりにくいものとするものないようにブロック形式で描かれている。

【0013】本発明は、例えば16アンペアの出力電流以上の出力電流を供給するように構成することのできるプログラム可能な同期的電圧コントローラである。負荷が重い状態では、コントローラは、電流モードのPWM（パルス幅変調）のステップダウンレギュレータとして

機能する。負荷が軽い状態では、PMF（パルス周波数変調）で、若しくは、パルススキップモードで機能する。このコントローラは、負荷のレベルを検出し、2つのモードを自動的に切り換え、全ての負荷条件に対してその効率を最適なものとする。

【0014】図1は、本発明のプログラム可能なDC-DCコンバータコントローラ10を表している。線11内に描かれたコントローラ10の一部は（ある実施例では）、1つの半導体チップ上に形成されている（しかし、他の実施例ではディスクリートな構成要素からなる）。コントローラ10のメイン制御ループを含み、このメイン制御ループは、2つの主な部分、即ち、破線12によって区分されたアナログ制御回路と、破線14によって区分されたデジタル制御ブロックとを含む。

【0015】アナログ制御回路12は、比較器22に接続された信号条件付け増幅器16、18、及び20を含み、比較器22は、その出力信号をデジタル制御回路24へ供給する。アナログ制御回路12は、IFB（電流フィードバック）端子26からの入力信号と、VFB（電圧フィードバック）端子28からの入力信号とを受け入れ、電流制御信号バス30と、電圧制御信号バス32とを形成している。抵抗器R1とインダクタL1はIFBノード26に接続されている。抵抗器R1は、端子26と28との間に電圧を形成し、この電圧は、端子Voutへ伝達される出力リード電流に比例する。インダクタL1は、誘導性記憶素子であって、スイッチ36がオフ状態の時に連続的に流れなければならない負荷電流を保持している。キャパシタC1はフィルタである。電圧制御バス32は、VFB信号を増幅し、このVFB信号は信号条件付け増幅器20へ入力される。信号条件付け増幅器16は、IFB端子26の信号と、VFB端子28の信号との差を求め、この差が信号条件付け増幅器20へ入力される。増幅されたVFB信号と、VFB信号とIFB信号との間の差信号とが、発振器34からの傾き補償入力と合計され、信号条件付け増幅器20へ供給される。

【0016】信号条件付け増幅器20の出力信号は、比較器22へ入力され、この比較器22は、主BWM制御信号を、デジタル制御回路24へ供給する。アナログ制御回路12内の更に別の比較器（図示されていない）が、軽負荷時にコントローラ10がパルススキップモードに入る閾値と、最大電流比較器（図示されていない）が、外部の電力MOSFET（トランジスタ）36及び38への出力ドライブ信号をディスエーブルするポイントとを設定する。デジタル制御回路24は、比較器22の出力信号と、発振器34からのクロック信号とを受け取り、外部の電力MOSFET36のゲート（制御端子）に接続された出力ライン40へ適切な出力パルスを出力する。デジタル制御ブロック14は、あるバージョンでは、デジタル制御回路24内の高速トランジスタロ

ジックを用い、これにより、コントローラ10が1MHzを超えるクロック速度で動作することが可能となる。デジタル制御ブロック14は、また、2つの外部のMOSFET36及び38が同時には導通状態とならないことを確実にするためのブレイクビフォアメイクタイミング（break-before-make timing）を提供する。発振器34は、一定電流のキャパシタ充電オシレータからなる。外部のキャパシタ35は、発振器34の周波数を設定する最大の融通性をもたらし、例えば用途の必要性に応じて200kHzから1MHz以上の設定を可能とする。

【0017】デジタル制御ブロック14は、2つの等しい高電流出力ドライバ42及び44を含み、この2つのドライバは、プッシュプル形式で配置された内部の高速バイポーラトランジスタ（図示されていない）を用いている。各ドライバ42及び44は、100ナノ秒未満の間で、例えば、1アンペアを流すことのできる能力を有する。各ドライバの電源及びグランドは、スイッチングノイズに対する耐性を提供するために、集積回路チップの電源及びグランドから、切り離されている。ドライバ40には、フローティングキャパシタ48から「ブートストラップ（boot-strapped）」された電源を有する。この構成では、キャパシタ48は、交互に、ショットキーダイオード50を介して電源Vcc1から充電され、次に、MOSFET36が導通しているときに電圧上昇（boosted up）される。この方法により、ノード46の電圧が $2 \times (V_{cc} - V_{ds})$ （ダイオード50）に等しくなり、この値はVCC1=5Vの時に約9.5ボルトである。この電圧は、低い $R_{DS(on)}$ （導通状態におけるドレイン・ソース間の抵抗）を達成するために必要とされる外部のMOSFET36への9ボルトのゲート電圧を提供するために十分な値である。「低い方の」同期MOSFET38は、基準電圧としてグランド電位が与えられているので、そのゲート駆動電圧は、電圧上昇される必要はない（他の実施例では、1つのドライバ42と1つのMOSFET36のみが用いられている）。ダイオード51は、スイッチ36がターンオンしかつスイッチ38がターンオフしている間に、若しくはその逆の状態の間に、電流を吸い込む。

【0018】図示されているように、2つの電源VCC1（例えば12ボルト）とVCC2（例えば5ボルト）が用いられている。

【0019】コントローラ10には、精密バンドギャップ回路を含む以下に詳しく説明される基準電圧回路64によって供給される、基準電圧VREFが、基準電圧として供給されている。基準電圧回路64のバンドギャップ回路内の内部抵抗（図示されていない）は、ほとんど0に近い温度係数（TC）を達成するように正確に調節されている。VREF信号は、5ビットVAC54に接続されていて、更に、5個のデジタル入力信号D0、D

1、D2、D3、D4、RSELが、5ビットのDAC 54に供給されていて、これらの信号は、 V_{OUT54} における必要とされる出力電圧を選択するための電圧範囲及び電圧の値を決定するものである。例えば、Pentium Pro仕様ガイドラインは、DC-DCコンバータの出力が、4ビットの電圧特定(VID)コードD0、D1、D2、D3(以下の表1に例示されている)によって直接プログラムされることを要件件としてい *

る。このコードは、5番目のビットRSELと共に、ライン55のDCの出力電圧 V_{DAC} を調節する。表1は、RSEL(最上位ビット)を論理5レベル(1)に設定することによって選択される上述された上側電圧範囲を表していることが理解される。

【0020】

【表1】

Pentium (商標) に対するVIDコード					
データビット					
D3	D2	D1	D0	RSEL	V_{OUT}
1	1	1	1	1	2.0
1	1	1	0	1	2.1
1	1	1	0	1	2.2
1	1	0	0	1	2.3
1	0	1	1	1	2.4
1	0	1	0	1	2.5
1	0	0	1	1	2.6
1	0	0	0	1	2.7
0	1	1	1	1	2.8
0	1	1	0	1	2.9
0	1	0	1	1	3.0
0	1	0	0	1	3.1
0	0	1	1	1	3.2
0	0	1	0	1	3.3
0	0	0	1	1	3.4
0	0	0	0	1	3.5

【0021】表1のVIDコードは以下のように機能する。マイクロプロセッサの設計者、例えばペンティアムプロの設計者は、そのマイクロプロセッサが2.8ボルトで動作するか否かを判定する。2.8ボルトに対する5ビットのVIDコード(01111)は、マイクロプロセッサ内にプログラムされ、かつ、コントローラ10内のDAC54によって入力信号D0、D1、D2、D4、及びRSELとして読み出される。次に、DAC54は、ライン55のアナログ出力信号VDACを供給し、この信号が増幅器18に入力されて、この増幅器18は上述されたようにアナログ回路12の1部を構成し、アナログ回路12の出力信号は、比較器22によってデジタル信号に変換されて、このデジタル信号が、デジタル制御ブロック24へ供給され、ドライバ42と44のスイッチングを制御する。こうして、必要とされる電圧(2.8ボルト)が V_{OUT58} に出力される。全ての負荷状態の元で安定した動作(フィルタリング)を行うために、10KΩのプルアップ抵抗器と0.2マイクロファラッドのデカップリングキャパシタ(図示されていない)がライン55に接続されても良い。

【0022】上述されたように、下側の電圧範囲は、RSELビットの値を論理低(0)に設定することによって選択される。これによって、50ミリボルトの増加分の1.3ボルトから2.05ボルトの範囲の下側の電圧が形成される。対応するVIDの表は例示されていないが、その理由は、表1と等しいからである。

【0023】コントローラ10は、ある実施例では、VFB端子28(V_{OUT} でもある)における一定の電圧モニタを提供する「電力GOOD」回路60を含む。電力

GOOD回路60は、VFB端子28の信号をVDAC信号と比較し、電源電圧(V_{OUT58} での)が、その通常の値に対する選択された百分率、例えばプラスマイナス7%を越える場合に、ライン「PWRGD」にアクティブローのインタラプト信号を出力する。

【0024】図2は、DAC54の模式図である。図2のDAC54は、本発明に用いることのできるデジタル・アナログコンバータの1つの例である。入力端子(D0、D1、D2、D3)は、表1及び図1に例示された同じ符号を付けられたコードの値に対応し、かつ対応するマイクロプロセッサ等の外部装置から受け取られる。これらの入力コード信号は、各々、トランジスタQ0、Q3、Q4、及びQ5をターンオン若しくはターンオフさせる。R-2R抵抗性ラダーとして知られかつ抵抗器R12からR24を含む抵抗性ラダーは、入力コードD0、D1、D2、D3の値に応じて増加された出力電圧VDACを供給し、かつ上述されたように、電圧の増加分はこの例では100ミリボルトである。

【0025】図1及び図2を参照すると、5ビットのDAC54には、基準電圧回路64によって出力された基準電圧VREFが供給されている。回路64の詳細は、図3に描かれており、この回路64は、バンドギャップダイオードを用いた1.21ボルトの基準電圧を発生する通常のバンドギャップ基準回路78を含んでいる。この1.21ボルトのバンドギャップ基準電圧は、第1のゲイン選択増幅器72の正の端子に入力され、かつ第2のゲイン選択増幅器74の正の入力端子に入力されている。増幅器72及び74の各々の制御端子は、RSELコードラインに接続されている。抵抗器R30、R3

2、R34及びR36も設けられている。RSELの値は（デジタル値の1若しくは0であるが）、DAC54に対する出力電圧VREFが高い電圧範囲若しくは低い電圧範囲のいずれかにあるかを、各電圧範囲内の最も低い点の値、例えば1.3ボルト若しくは2.0ボルトを設定することによって決定する。RSELの値に基づいて、増幅器72と74のうちのいずれかのみがイネーブルされて、1.21ボルトのバンドギャップ電圧が各範囲に対する適切な電圧レベルまで増加されるようになる。

【0026】図2のデジタル・アナログコンバータ54は、可変（選択可能な）電流源I2を含み、この電流源はその詳細が図4に描かれている。電流源I2は、VIDコードの最上位ビットRSELの値に応じて、2つの範囲の各々に対するDACのステップサイズを選択する。RSELビットが論理高（1）に設定されている場合、上側のコードの範囲は、イネーブルされ、即ちステップサイズが100ミリボルトとなる。2つの電流源I3の出力電流は、トランジスタQ32とQ34によって合流され、ノードIOUTにおけるこのステップ電流がDAC54に供給される。RSELビットが低い値（論理0）に設定されたとき、低い電圧範囲がイネーブルされ、即ち、50ミリボルトのステップサイズとなり、電流源I4がターンオフされ、DAC54へのステップ電流が半分にされる。

【0027】各範囲に対する最初の電圧とステップのサイズとの両方を制御するためにRSELビットを用いることが、図1に描かれており、この図1では、RSEL入力信号が、基準電圧回路64と、5ビットのDAC54とに接続されており、図1では、図2及び図4の電流源I2がDAC54の一部を成していることが理解される。

【0028】図1のデジタル制御回路24の模式図が、図5及び図6に描かれている。図示された各構成要素を説明せずに、回路24の動作を以下に説明する。基本的な制御信号（CMP1IN）は、出力ドライバ42のオフのタイミングを制御するデジタル信号である。ドライバ42の開始時刻は、OSCの立ち上がりエッジによって、RSラッチ80がリセットされることにより、セットされる。次に、CMPにIN信号が、アナログブロッ

ク12によって発生されたフィードバック信号に基づいて、ある時間だけ遅れてラッチ80をセットする。

【0029】下側のドライバ44は、ドライバ42の反対の極性でスレーブされて動作する、即ち、ドライバ42がオンの時、ドライバ44はオフであり、ドライバ42がオフの時、ドライバ44はオンである。RSラッチ82と、NORゲート86及び88とは、ドライバ42と44とが同じ時刻で両方オンしないことを確実にする。NORゲート90は、ドライバ44がオン状態であるときに、ドライバ42がオンとならないようにしてい

る。また、出力が回路をVcc若しくはグランドに接続しているときに、入力信号SCINはドライバ42をディスエーブルする。図5のその他の入力信号は、比較器（図示されていない）によって供給される、CMPIN3B、CMP2INB、SCIN、及びSYNCOMP B信号である。信号SCIN及びCMP2INBは、従って、短絡回路の保護を提供し、CMPIN3Bは、アイドル状態を表し、SYNCOMP Bは、ラッチ82をリセットする。

10 【0030】これまでの説明は例示及び説明を目的とするものである。これまでの説明は、本発明を全て含むものではなく、本発明を開示された形式に限定するものでもない。これまでの説明の範囲内で様々な変更及び変形が可能である。開示された実施例は、本発明の基本理念を最も良く例示するために選択されかつ記述されたものであり、従って、その具体的な用途において、当業者が、様々な実施例において様々な変更を施して本発明を用いることを可能とする。その様な変形及び変更の全ては、添付の特許請求の範囲によって定義される本発明の技術的視点内に含まれる。

【0031】

【発明の効果】将来予測されるより低い電圧のマикроプロセッサに対する電源電圧の変更に対応することのできるようにプログラムされるよう設計されたDC-DCコンバータコントローラが提供される。

【図面の簡単な説明】

【図1】 本発明に基づくプログラム可能なDC-DCコンバータコントローラのブロック図。

【図2】 図1のコントローラで用いられるデジタル・アナログコンバータの模式的なブロック図。

【図3】 図2のデジタル・アナログコンバータへ2つの基準電圧のうちの1つを選択的に供給する回路の模式的なブロック図。

【図4】 図2のデジタル・アナログコンバータへ2つのレベルの電流のうちの1つを選択的に供給する回路の模式的なブロック図。

【図5】 図1のコントローラで用いられているデジタル制御回路の1部を表す模式図。

【図6】 図1のコントローラで用いられているデジタル制御回路の他の部分を表す模式図。

【符号の説明】

10 プログラム可能なDC-DCコンバータコントローラ

12 アナログ制御回路

16、18、20 信号条件付け増幅器

22 比較器

24 デジタル制御回路

26 IFB（電流フィードバック）端子

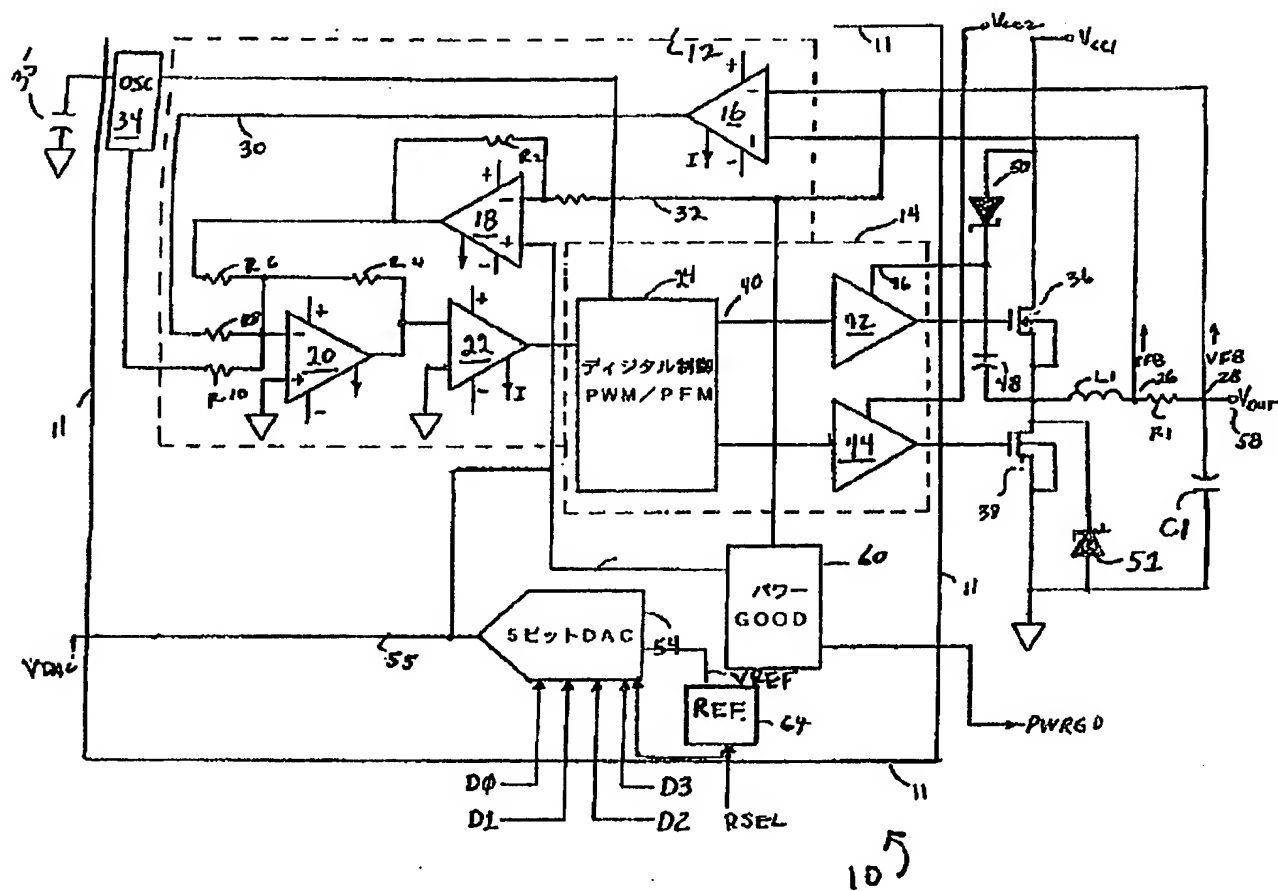
28 VFB（電圧フィードバック）端子

30 電流制御信号バス

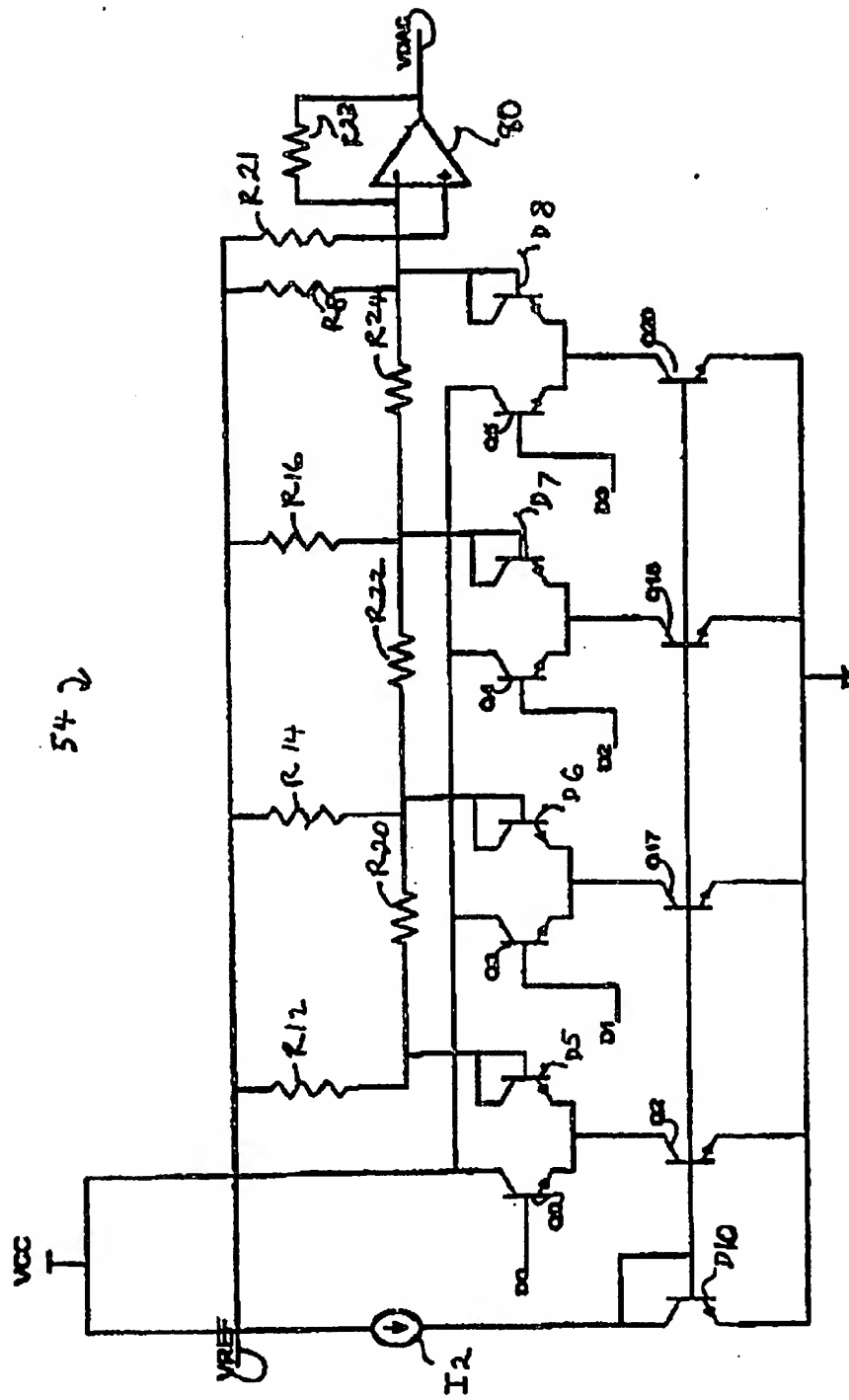
12

- 5 1 ダイオード
5 4 DAC
6 4 基準電圧回路
7 2 第1のゲイン選択増幅器
7 4 第2のゲイン選択増幅器
8 2 RSラッチ
8 6、8 8 NORゲート
9 0 NORゲート

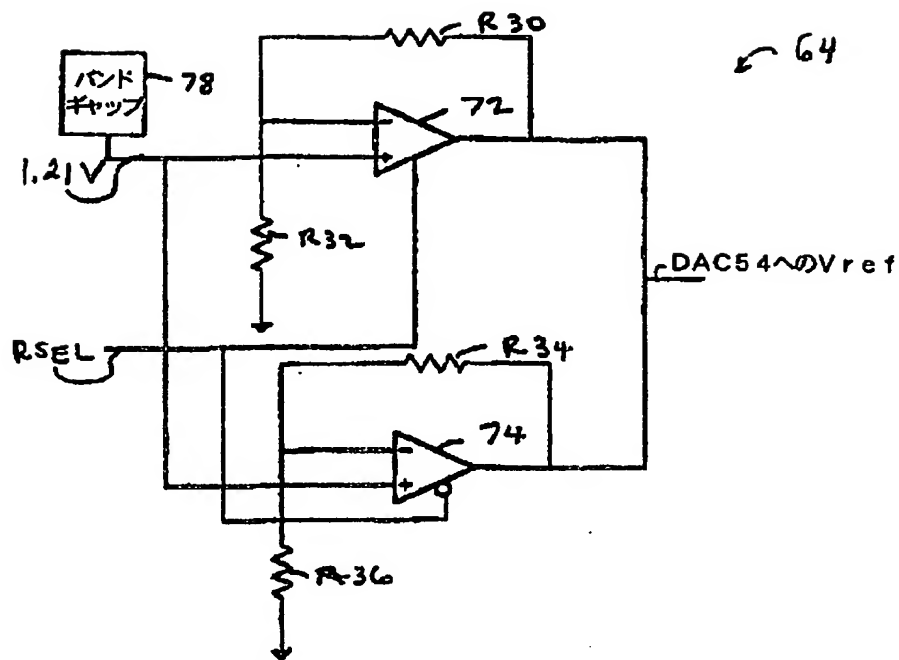
【图 1】



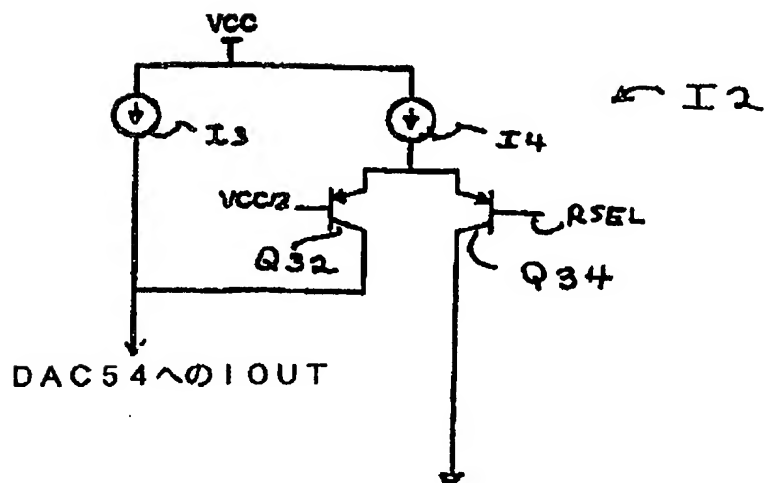
【図 2】



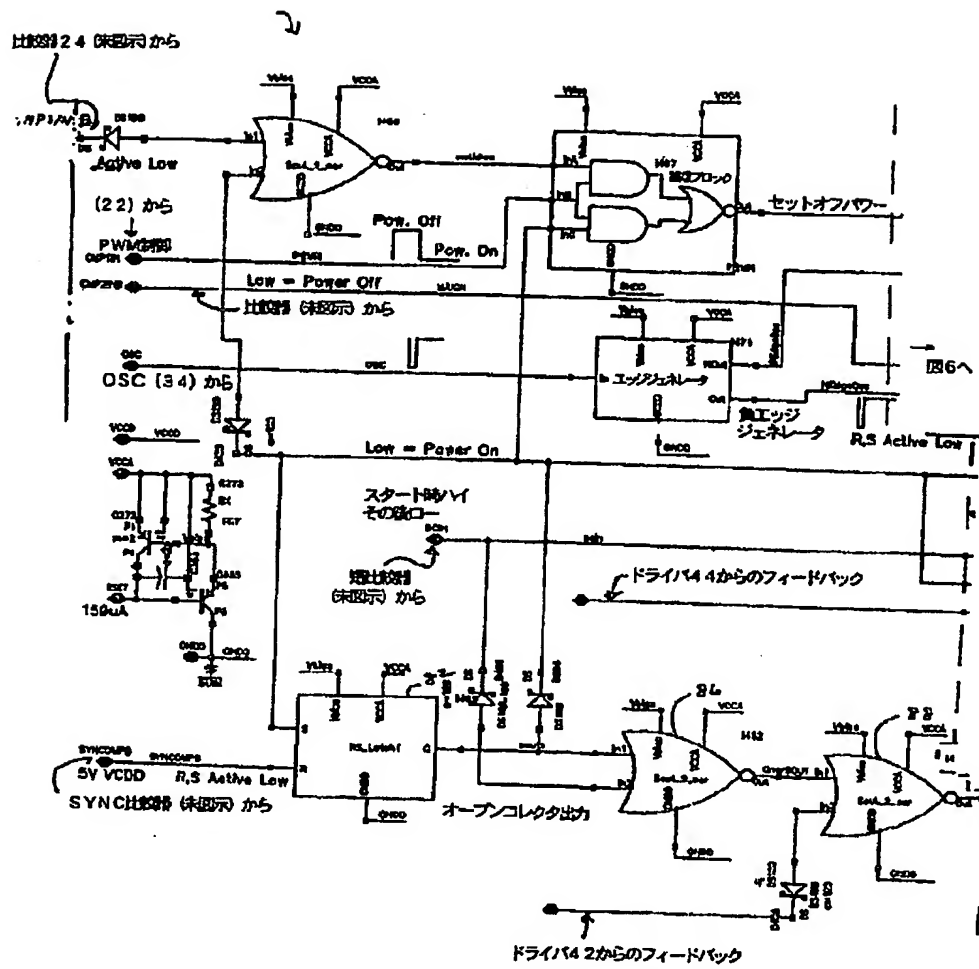
【図3】



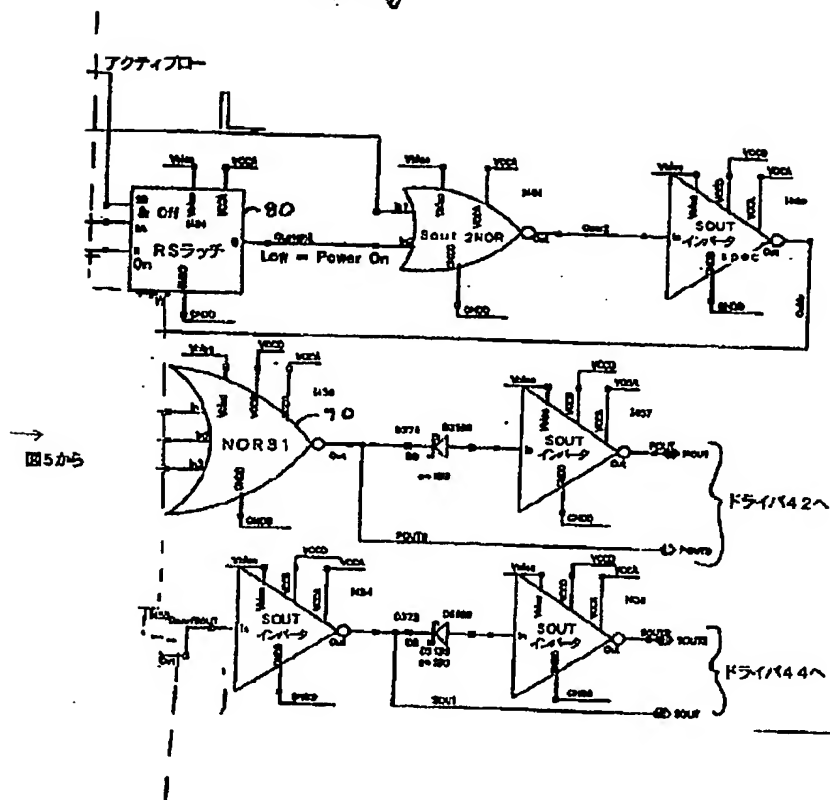
【図4】



【図5】



2.4 ~



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to a programmable step-down DC-DC converter controller in more detail about a programmable power supply.

[0002]

[Description of the Prior Art] The microprocessor has developed from the integrated semiconductor chip which controls only the easy function which is equal to the count capacity of the computer of a mainframe. This development has made the number of a transistor integrated on one integrated circuit increase. For example, current Intel The Pentium (registered trademark) microprocessor chip is equipped with a number exceeding 50 billion pieces at least of transistors. In order to attain such high density, the size of each transistor was reduced to submicron level, each configuration was shortened, and the greatest voltage for the transistor to operate has also been reduced. The requirements that it had to be that to which the designer of a computer system does not need to build the related power supply system completely whenever it changes the voltage needed for the microprocessor to a programmable power supply by changing the greatest operating voltage of a microprocessor arose. The requirements for this voltage to a microprocessor were in the orientation which decreases to 3.3 volts to the Pentium processor from 5 volts to 386 and a 486 microprocessor in the past five years about, and it is falling to 3.5 volts to Pentium Pro (Pentium Pro (registered trademark)) in current. The operating voltage to the microprocessor in 1997 will become within the limits of 2.5 volts.

[0003] The generation in front of a DC-DC (direct-current-direct current) converter controller was what offers fixed output voltage or can adjust output voltage by setup of external resistance. Therefore, in the production environment of a personal computer, the microprocessor circuit board (it is, even if known as a "mother board") had to be redesigned, whenever operating voltage was changed by the manufacturer of a microprocessor. In order to solve this problem produced by modification of the requirements for voltage, Intel has programmed the voltage specification code (VID) to Pentium Pro which can be read by the mother board equipped with suitable capacity. A mother board supplies the voltage specified by VID to a microprocessor, when it has the function of a built-in type. It is because the necessity that a system designer redesigns a mother board whenever the voltage of a microprocessor is changed is canceled, the reason specifies the voltage by which a microprocessor is needed for itself and a controller supplies the voltage needed automatically by this.

[0004] The DC-DC converter controller designed so that it might be programmed to be able to respond to modification of the supply voltage to the microprocessor of low voltage is needed rather than it will be predicted in the future. This DC-DC converter controller must be what can supply the voltage which read the VID code programmed in the microprocessor and was specified in VID code of this microprocessor.

[0005]

[Problem(s) to be Solved by the Invention] This invention aims at offering the DC-DC converter controller designed so that it might be programmed to be able to respond to modification of the supply

voltage to the microprocessor of low voltage rather than being predicted in the future.

[0006]

[Means for Solving the Problem] At least one amplifier which is a programmable converter and supplies an output signal in this invention in order to attain the above-mentioned purpose, A control unit which controls magnitude of an output signal of said at least one amplifier, According to a digital input signal, an output signal which specifies said magnitude of said output signal of said at least one amplifier It is the circuit supplied to said control unit, and a programmable converter characterized by having said circuit which pinpoints the two ranges of said magnitude where each has increment of a specific value is offered.

[0007] According to this invention, a programmable DC-DC converter controller supplies output voltage specified by digital input signal (for example, the VID code) from an external device (for example, microprocessor). This converter controller includes at least one amplifier which supplies required voltage, a control unit which controls amplitude of an output of this amplifier, and a circuit which answers a digital input. As for this circuit, this digital analog converter receives a digital input signal from an external device again including a digital analog converter. An exact reference signal for offering output voltage of voltage needed is used for a digital analog converter. output voltage supplied to a microprocessor -- voltage within the limits of ** a 1st, for example, 100-millivolt increment, -- it is -- or the 2nd difference -- it is-like voltage within the limits, for example, 50 millivolts, increment, and is chosen by microprocessor.

[0008] This invention is better understood by the following detailed explanation. As one example, an example of this invention is illustrated and it is only explained. Although it is understood easily, this invention can add other deformation in various modalities, without deviating from a technical view of this invention. Therefore, a drawing and detailed explanation are the things for instantiation, and do not mean limitation.

[0009]

[Embodiment of the Invention] The DC-DC converter controller which is common for the controller of this application in many respects is indicated by the United States Patent application 08th by the applicant of this application / 672,487 (June 26, 1996 application) "A Programmable Synchronous Step Down DC-DC Converter Controller" (Stephen W. Bryso). However, this controller supplies the output voltage of the single range equipped with single increment in both the value of voltage, and the range of voltage.

[0010] If based on the controller of this invention, two different voltage ranges will be offered. An upper voltage range is chosen by giving a logical high signal (1) to the most significant bit of a 5-bit digital analog converter (DAC). This DC-DC converter outputs the voltage within the limits of 2.0 to 3.5 volts based on the VID code inputted into the four remaining lower bits of 5-bit DAC according to it. It enables a lower voltage range by giving a logical signal (0) in the most significant bit digital [DAC]. The raised versatility is brought about by the method using these two ranges, and a related microprocessor becomes possible [constituting a power supply automatically so that the voltage for which that specification is needed may be outputted].

[0011] In [upper] 2.0 to 3.5 volts, 100-millivolt SUTEBBU exists and the most significant bit of DAC is set as the level of a logical high signal. When the most significant bit of DAC is set as the level of a logical low signal, a DC-DC controller outputs a 1.3 to 2.05 volts step [50-millivolt] in a lower voltage range and this case. Of course, the step to these ranges and each range is mere instantiation. Moreover, based on this invention, the converter equipped with many ranges from two can also be constituted.

[0012] By the following explanation, in order to give explanation a clear and intelligible thing, all various components currently drawn with the typical drawing are not explained. Various components are drawn with a drawing, in order to provide this contractor with the contents only of an indication which can carry out this invention. Probably, the detailed explanation not required in order to carry out this invention about all the specific components will be clear to this contractor. Therefore, only the component required in order to understand the component or this invention which affects this invention is drawn and explained to the drawing. Furthermore, the structure of an electrical circuit and the

electrical circuit which were known well are drawn by the block type so that this invention may not be made unclear.

[0013] This invention is the programmable synchronous voltage controller which can be constituted so that the output current beyond the 16A output current may be supplied. In the condition that a load is heavy, a controller functions as a step-down regulator of PWM (Pulse Density Modulation) in current mode. In the condition that a load is light, it is PMF (pulse frequency modulation), or functions in pulse skip mode. This controller detects the level of a load and makes that effectiveness the optimal for the two modes to a switch and all load conditions automatically.

[0014] Drawing 1 expresses the programmable DC-DC converter controller 10 of this invention. Some controllers 10 drawn in the line 11 are formed on one semiconductor chip (however, it consists of a discrete component in other examples). (a certain example) This Main control loop includes the two main portions, i.e., the analog control circuit classified by the dashed line 12, and the digital control block classified by the dashed line 14 including the Main control loop of a controller 10.

[0015] A comparator 22 supplies the output signal to the digital control circuit 24 including the signal conditional amplifier 16, 18, and 20 by which the analog control circuit 12 was connected to the comparator 22. The analog control circuit 12 accepts the input signal from the IFB (current feedback) terminal 26, and the input signal from the VFB (voltage feedback) terminal 28, and forms the current control signal pass 30 and the armature-voltage control signal pass 32. The resistor R1 and the inductor L1 are connected to the IFB node 26. A resistor R1 forms voltage among terminals 26 and 28, and this voltage is proportional to the output load current transmitted to Terminal Vout. An inductor L1 is an inductive storage element, and when a switch 36 is an OFF state, it holds the load current which must flow continuously. A capacitor C1 is a filter. The armature-voltage control pass 32 amplifies a VFB signal, and this VFB signal is inputted into the signal conditional amplifier 20. The signal conditional amplifier 16 searches for the difference of the signal of the IFB terminal 26, and the signal of the VFB terminal 28, and this difference is inputted into the signal conditional amplifier 20. The difference signal between the amplified VFB signal, and a VFB signal and an IFB signal is totaled with the inclination compensation input from an oscillator 34, and is supplied to the signal conditional amplifier 20.

[0016] The output signal of the signal conditional amplifier 20 is inputted into a comparator 22, and this comparator 22 supplies a main PWM control signal to the digital control circuit 24. Still more nearly another comparator in the analog control circuit 12 (not shown) sets up the threshold with which a controller 10 goes into pulse skip mode, and the point with which a maximum current comparator (not shown) carries out the disable of the output drive signal to the external power (transistor) 36 and MOSFETs 38 at the time of a light load. The digital control circuit 24 outputs a suitable output pulse to output Rhine 40 where the output signal of a comparator 22 and the clock signal from an oscillator 34 were connected to the gate (control terminal) of the power MOSFET 36 of reception and the exterior. Thereby, the digital control block 14 becomes possible [operating with the clock rate to which a controller 10 exceeds 1MHz] in a certain version using the high-speed transistor logic in the digital control circuit 24. The digital control block 14 offers the breaking before makeup timing (break-before-make timing) for ensuring that MOSFETs 36 and 38 of the two exteriors do not become coincidence with switch-on again. An oscillator 34 consists of KIAPASHITA charge OSHURETA of fixed current. The external capacitor 35 brings about the maximum versatility which sets up the frequency of an oscillator 34, for example, enables a setup of 1MHz or more from 200kHz according to the need for a use.

[0017] As for the digital control block 14, the high-speed bipolar transistor (not shown) of the interior where these two drivers have been arranged in push pull format is used including the two equal high current-output truck eves 42 and 44. Each drivers 42 and 44 have the capacity that 1A can be passed, among less than 100 nanoseconds. The power supply and gland of each driver are separated from the power supply and gland of an integrated circuit chip, in order to offer the resistance over a switching noise. In a driver 40, it has the power supply by which "the bootstrap (boot-strapped)" was carried out from the floating capacitor 48. With this configuration, when it charges from a power supply VCC1 through schottky diode 50, next MOSFET36 has flowed by turns, the power surge (boosted up) of the

capacitor 48 is carried out. By this method, the voltage of a node 46 becomes equal to $2 \times (V_{CC} - V_{ds})$ (diode 50), and this value is about 9.5 volts at the time of $V_{CC1} = 5V$. This voltage is sufficient value in order to offer the gate voltage of 9 volts to MOSFET36 of the exterior needed in order to attain low RDS and ON (resistance between the drain sources in switch-on). Since, as for the "lower one" synchronization MOSFET 38, ground potential is given as reference voltage, the power surge of the gate driver voltage does not have to be carried out (in other examples, only one driver 42 and one MOSFET36 are used). While a switch 36 carries out the turn-on of the diode 51 and the switch 38 is carrying out the turn-off, it absorbs current between the conditions of the reverse.

[0018] Two power supplies V_{CC1} (for example, 12 volts) and V_{CC2} (for example, 5 volts) are used as illustrated.

[0019] The reference voltage V_{REF} supplied by the reference voltage circuit 64 explained to the following including a precision band gap circuit in detail is supplied to the controller 10 as reference voltage. The internal resistance in the band gap circuit of the reference voltage circuit 64 (not shown) is correctly adjusted so that the temperature coefficient (TC) almost near 0 may be attained. The V_{REF} signal is connected to 5-bit V_{AC54} , further, five digital input signals D0, D1, D2, D3, and D4 and RSEL are supplied to 5-bit DAC54, and these signals determine the voltage range for choosing the output voltage in V_{OUT54} needed, and the value of voltage. For example, Pentium The Pro specification guideline makes it the requirement affair for the output of a DC-DC converter to be directly programmed by the 4-bit voltage specification (VID) codes D0, D1, D2, and D3 (illustrated by the following table 1). This code adjusts the output voltage V_{DAC} of DC of Rhine 55 with the 5th bit RSEL. Expressing the top voltage range which is chosen when a table 1 sets RSEL (most significant bit) as logic 5 level (1) and which was mentioned above is understood.

[0020]

[A table 1]

Pentium (商標) に対するVIDコード					
データビット					
D3	D2	D1	D0	RSEL	V_{OUT}
1	1	1	1	1	2.0
1	1	1	0	1	2.1
1	1	0	1	1	2.2
1	1	0	0	1	2.3
1	0	1	1	1	2.4
1	0	1	0	1	2.5
1	0	0	1	1	2.6
1	0	0	0	1	2.7
0	1	1	1	1	2.8
0	1	1	0	1	2.9
0	1	0	1	1	3.0
0	1	0	0	1	3.1
0	0	1	1	1	3.2
0	0	1	0	1	3.3
0	0	0	1	1	3.4
0	0	0	0	1	3.5

[0021] The VID code of a table 1 functions as follows. The designer of a microprocessor, for example, the designer of Pentium Pro, judges whether the microprocessor operates by 2.8 volts. The 5-bit VID code (01111) to 2.8 volts is programmed in a microprocessor, and reading appearance is carried out by DAC54 in a controller 10 as input signals D0, D1, D2, and D4 and RSEL. Next, in DAC54, the analog output signal V_{DAC} of Rhine 55 is supplied, this signal is inputted into amplifier 18, this amplifier 18 constitutes the one section of an analog circuit 12, as mentioned above, it is changed into a digital signal by the comparator 22, this digital signal is supplied to the digital control block 24, and the output signal of an analog circuit 12 controls switching of drivers 42 and 44. In this way, the voltage (2.8 volts) needed is outputted to V_{OUT58} . In order to perform actuation (filtering) stabilized under all loaded condition, 0.2-micro F decoupling KAPASHITA (not shown) may be connected with the pull-up resistor machine of 10Kohm in Rhine 55.

[0022] As mentioned above, a lower voltage range is chosen by setting the value of a RSEL bit as the

logic low (0). Of this, the voltage [of 50-millivolt increment] of 1.3 to 2.05 volts of the range bottom is formed. Although the corresponding table of VID is not illustrated, the reason is equal to a table 1.

[0023] A controller 10 includes "Power GOOD" circuit 60 which offers the fixed voltage monitor in the VFB terminal 28 (it is also VOUT) in a certain example. the case where the power GOOD circuit 60 exceeds a selected percentage [as opposed to / in supply voltage (with VOUT58) / the usual value for the signal of the VFB terminal 28], for example, double sign 7%, as compared with a VDAC signal -- Rhine -- a low active interrupt signal is outputted to "PWRGD."

[0024] Drawing 2 is the mimetic diagram of DAC54. DAC54 of drawing 2 is one example of the digital analog converter which can be used for this invention. An input terminal (D0, D1, D2, D3) is received from external devices, such as a microprocessor which corresponds and corresponds to the value of the code which was able to attach the same sign illustrated by a table 1 and drawing 1 . these input code signals -- each and transistors Q0, Q3, Q4, and Q5 -- a turn-on -- or a turn-off is carried out. The resistance ladder which is known as an R-2R resistance ladder, and contains R24 from a resistor R12 supplies the output voltage VDAC increased according to the value of input codes D0, D1, D2, and D3, and as mentioned above, the increment of voltage is 100 millivolts in this example.

[0025] Reference of drawing 1 and drawing 2 supplies the reference voltage VREF outputted by the reference voltage circuit 64 to 5-bit DAC54. The details of a circuit 64 are drawn on drawing 3 , and this circuit 64 contains the usual band gap reference circuit 78 which generates the reference voltage of 1.21 volts which used band gap diode. This band gap reference voltage of 1.21 volts is inputted into the positive terminal of the 1st gain selection amplifier 72, and is inputted into the positive input terminal of the 2nd GENI selection amplifier 74. Each control terminal of amplifier 72 and 74 is connected to the RSEL code line. Resistors R30, R32, R34, and R36 are also formed. It is determined by setting up the value of the lowest point of each voltage within the limits, for example, 1.3 volts, and 2.0 volts whether the value of RSEL has the output voltage VREF to (it is 1 of digital value, or 0), and DAC54 in either a high voltage range or a low voltage range. Based on the value of RSEL, it enables only either of the amplifier 72 and 74, and the band gap voltage of 1.21 volts comes to be increased to the suitable voltage level to each range.

[0026] As for the digital analog converter 54 of drawing 2 , those details are drawn on drawing 4 including the adjustable (it is selectable) current source I2, as for this current source. A current source I2 chooses the step size of DAC to each of two ranges according to the value of most significant bit RSEL of the VID code. When the RSEL bit is set as the logic high (1), it enables the range of an upper code, namely, a step size becomes 100 millivolts. The output current of two current sources I3 joins with transistors Q32 and Q34, and this step current in Node IOUT is supplied to DAC54. When a RSEL bit is set as a low value (logic 0), it enables a low voltage range, namely, becomes the step size which is 50 millivolts, the turn-off of the current source I4 is carried out, and the SUTEBBU current to DAC54 is made into one half.

[0027] Using a RSEL bit, in order to control both the first voltage and the sizes of a step to each range is drawn on drawing 1 , the RSEL input signal is connected to the reference voltage circuit 64 and DAC54 of five pits in this drawing 1 , and it is understood in drawing 1 that the current source I2 of drawing 2 and drawing 4 has accomplished a part of DAC54.

[0028] The mimetic diagram of the digital control circuit 24 of drawing 1 is drawn on drawing 5 and drawing 6 . Actuation of a circuit 24 is explained below, without explaining each illustrated component. A fundamental control signal (CMP1IN) is a digital signal which controls the off timing of an output driver 42. The start time of a driver 42 is set by the rising edge of OSC by resetting the RS latch 80. Next, based on the feedback signal generated by the analog block 12, only a certain time amount is behind [CMP] in IN signal, and it sets latch 80 to it.

[0029] When a driver 42 is ON, the driver 44 of the lower driver 44 operates [a slave is carried out and] with the opposite polarity of a driver 42, namely, is off, and a driver 44 is ON when a driver 42 is OFF. The RS latch 82 and the NOR gates 86 and 88 ensure that drivers 42 and 44 do not turn both on at the same time of day. When a driver 44 is an ON state, he is trying, as for the NOR gate 90, for a driver 42 not to serve as ON. Moreover, when the output has connected the circuit to Vcc or a gland, an input

signal SCIN carries out the disable of the driver 42. The input signals of others of drawing 5 are CMPIN3B, CMP2INB and SCIN which are supplied by the comparator (not shown), and a SYNCOMPB signal. Signal SCIN and CMP2INB follow, protection of a short circuit is offered, CMPIN3B expresses an idle state, and SYNCOMPB resets latch 82.

[0030] Old explanation is aimed at instantiation and explanation. Old explanation is not limited to the format that this invention was indicated, excluding all this inventions, either. Various modification and the deformation of old explanation at within the limits are possible. The indicated example makes it possible to be chosen and described in order to illustrate the basic idea of this invention best, therefore for this contractor to perform various modification in various examples in the concrete use, and to use this invention. Such all deformation and modification are included within the technical view of this invention defined by the attached claim.

[0031]

[Effect of the Invention] The DC-DC converter controller designed so that it might be programmed to be able to respond to modification of the supply voltage to the microprocessor of low voltage is offered rather than it will be predicted in the future.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A programmable converter characterized by providing the following At least one amplifier which supplies an output signal A control unit which controls magnitude of an output signal of said at least one amplifier Said circuit which is a circuit which supplies an output signal which specifies said magnitude of said output signal of said at least one amplifier to said control unit according to a digital input signal, and pinpoints the two ranges of said magnitude where each has increment of a specific value

[Claim 2] A programmable converter according to claim 1 by which said circuit is characterized by having a digital-analog converter.

[Claim 3] A programmable converter according to claim 2 characterized by for said digital-analog converter changing into reception a 5-bit digital input signal which specifies voltage needed by equipment of said exterior from external equipment, and changing said digital input signal into an analog output signal.

[Claim 4] A programmable converter according to claim 3 characterized by said analog output signal consisting of said output signal to said control unit which specifies said magnitude of said output signal of said at least one amplifier.

[Claim 5] A programmable converter according to claim 4 by which said analog output signal of said digital-analog converter is characterized by supplying said control unit.

[Claim 6] A programmable converter according to claim 3 characterized by determining said voltage specified by said digital input signal with a value of said digital input in which multiplication was carried out by increment of specified voltage.

[Claim 7] A programmable converter according to claim 6 by which equipment of said exterior is characterized by specifying demanded voltage in increment of a specified value.

[Claim 8] A programmable converter according to claim 3 by which equipment of said exterior is characterized by having a microprocessor.

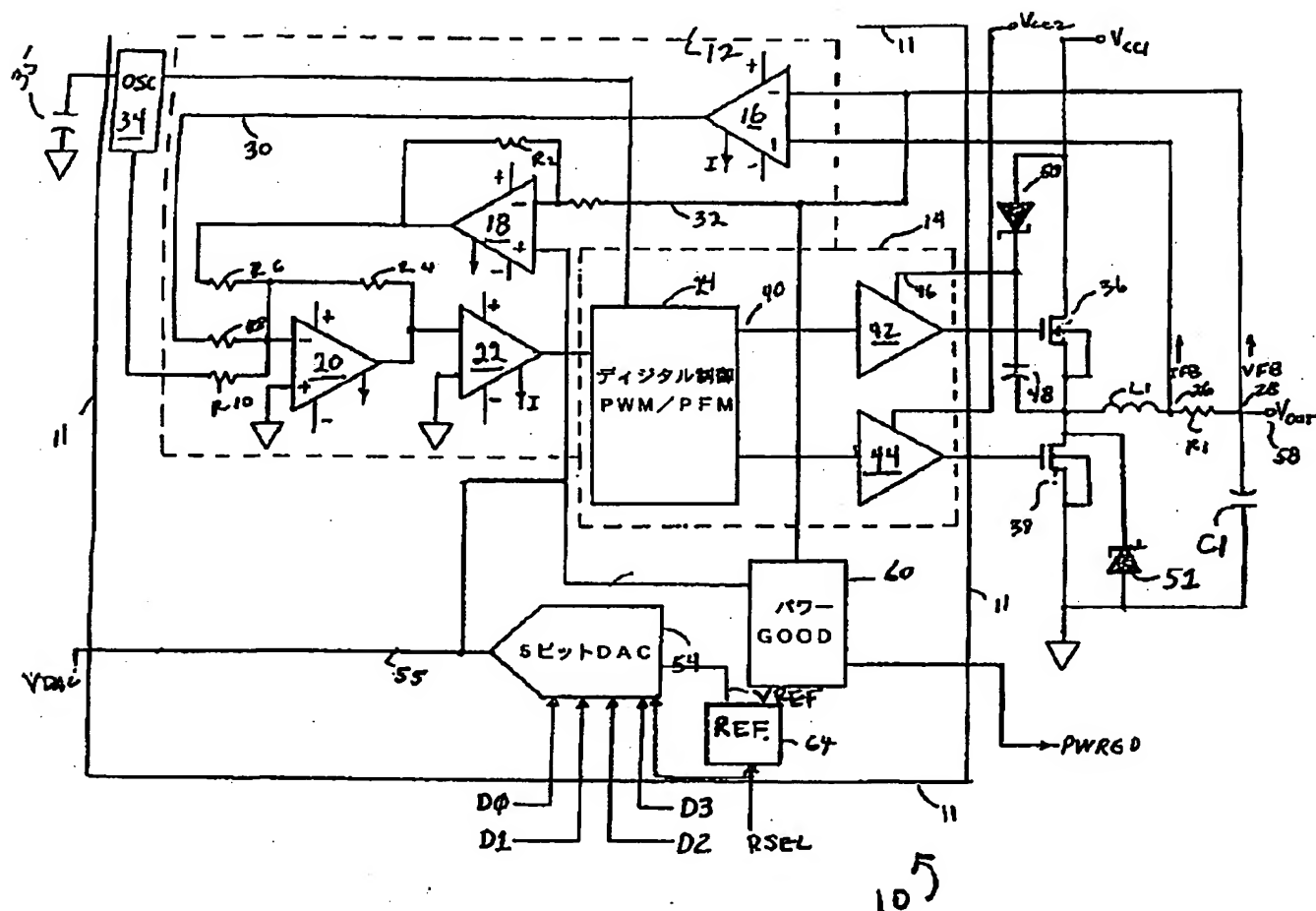
[Claim 9] A programmable converter according to claim 6 by which increment of said specified voltage is characterized by being 5mV and 100mV respectively in each of the range of said two voltage.

[Claim 10] Said at least one amplifier, said control unit, and said circuit are a programmable converter according to claim 1 about one semiconductor integrated circuit chip integrating.

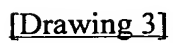
[Translation done.]

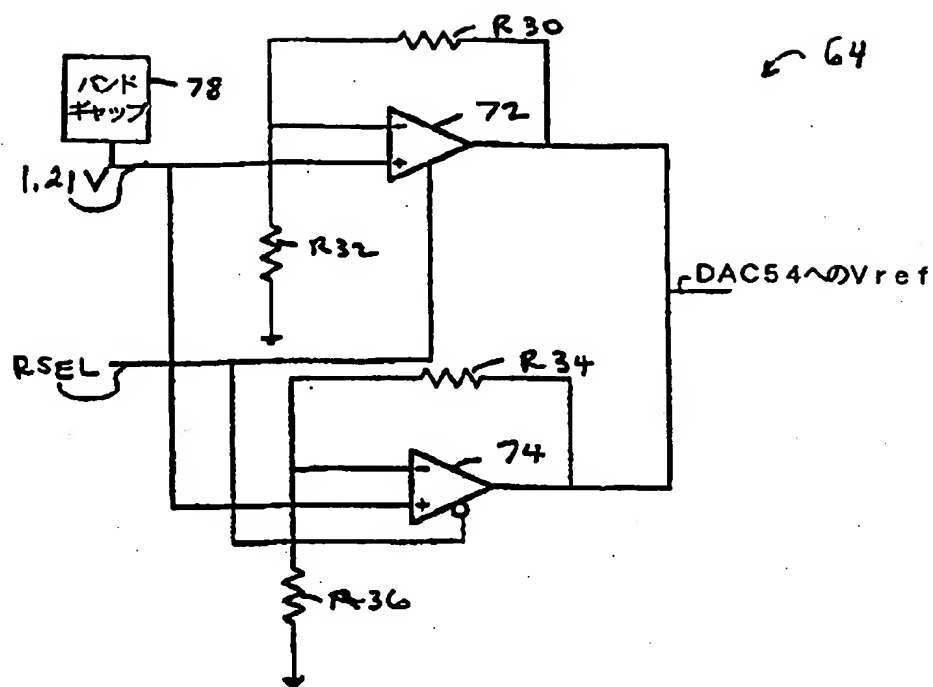
3. In the drawings, any words are not translated.

[Drawing 1]

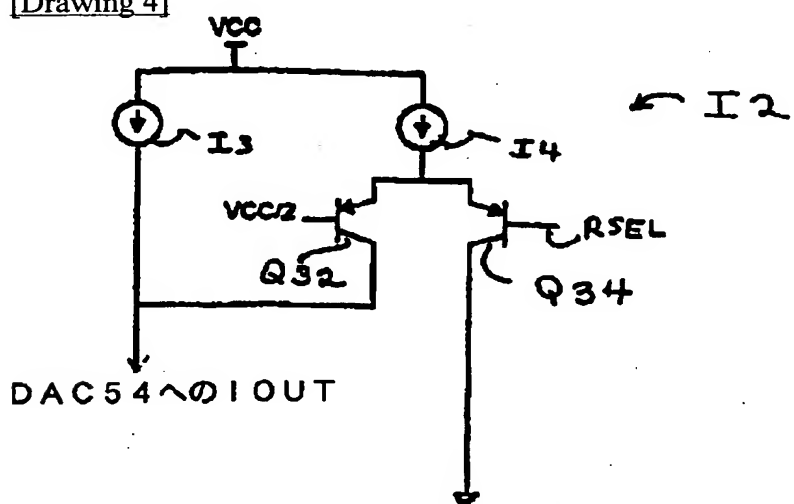


[Drawing 2]

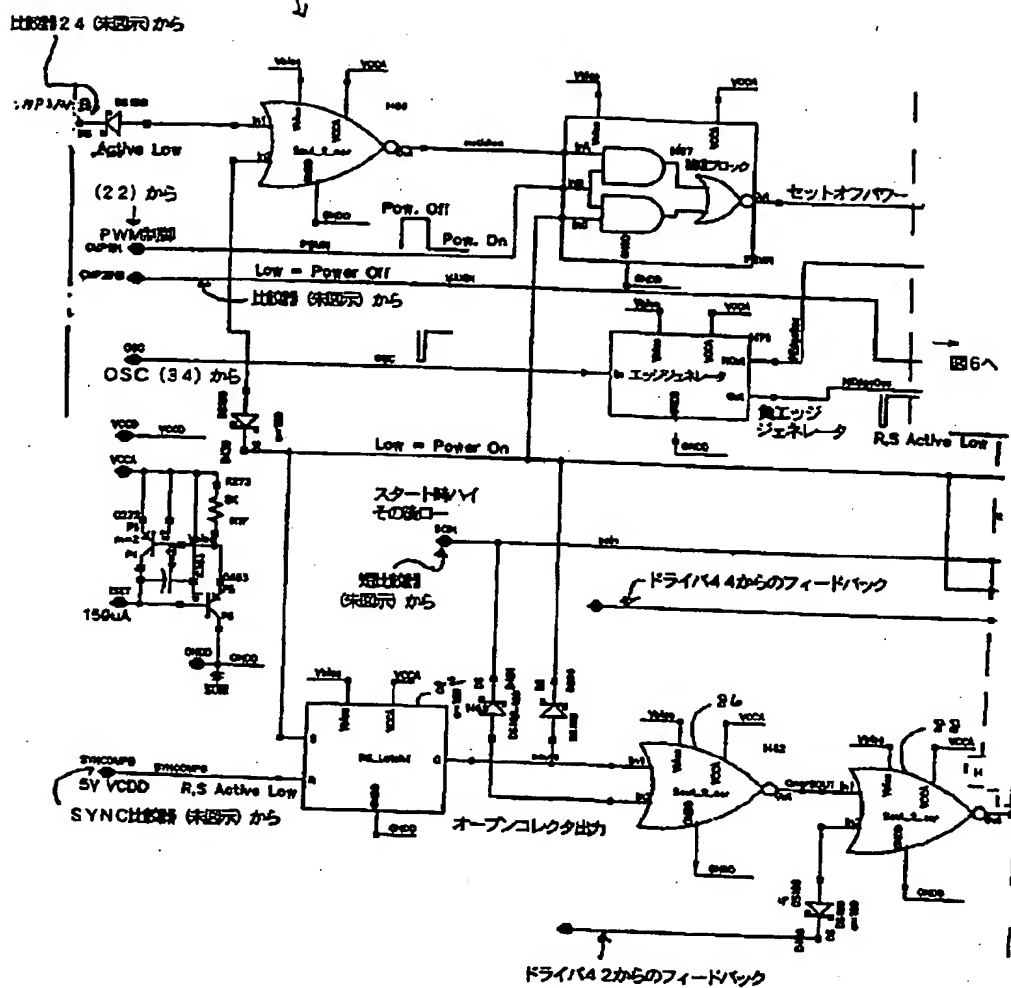




[Drawing 4]



[Drawing 5]



[Drawing 6]

